

**Family list**

4 application(s) for: JP6260638

**1 Semiconductor device protection**

Inventor: TAKENAKA KAZUHIRO      Applicant: SEIKO EPSON CORP [JP]  
EC: H01L27/02B4F2; H01L27/02B4F6; (+2)      IPC: H01L21/336; H01L21/822; H01L21/8234;  
Publication info: GB2274203 (A) — 1994-07-13      (+15)  
GB2274203 (B) — 1996-08-07

**2 SEMICONDUCTOR DEVICE**

Inventor: TAKENAKA KAZUHIRO      Applicant: SEIKO EPSON CORP  
EC: H01L27/02B4F2; H01L27/02B4F6; (+2)      IPC: H01L21/336; H01L21/822; H01L21/8234;  
Publication info: JP6260638 (A) — 1994-09-16      (+15)  
JP3456242 (B2) — 2003-10-14

**3 Semiconductor device**

Inventor: TAKENAKA KAZUHIRO      Applicant: SEIKO EPSON CORP  
EC: H01L27/02B4F2; H01L27/02B4F6; (+2)      IPC: H01L21/336; H01L21/822; H01L21/8234;  
Publication info: SG67298 (A1) — 1999-09-21      (+19)

**4 Semiconductor device containing external surge protection component**

Inventor: TAKENAKA KAZUHIRO [JP]      Applicant: SEIKO EPSON CORP [JP]  
EC: H01L27/02B4F2; H01L27/02B4F6; (+2)      IPC: H01L21/336; H01L21/822; H01L21/8234;  
Publication info: US5614752 (A) — 1997-03-25      (+18)

---

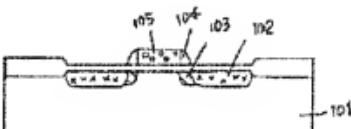
Data supplied from the esp@cenet database —

**SEMICONDUCTOR DEVICE**

Patent number:	JP6260638 (A)	Also published as:
Publication date:	1994-09-16	<input type="checkbox"/> JP3456242 (B2)
Inventor(s):	TAKENAKA KAZUHIRO	<input checked="" type="checkbox"/> GB2274203 (A)
Applicant(s):	SEIKO EPSON CORP	<input checked="" type="checkbox"/> US5614752 (A)
Classification:		<input type="checkbox"/> SG67298 (A1)
- international:	<i>H01L21/336; H01L21/822; H01L21/8234; H01L21/8238; H01L27/02; H01L27/04; H01L27/088; H01L27/092; H01L29/06; H01L29/78; H01L21/02; H01L21/70; H01L27/02; H01L27/04; H01L27/085; H01L29/02; H01L29/66; (IPC1-7): H01L29/784</i>	
- european:	<i>H01L27/02B4F2; H01L27/02B4F6; H01L29/06B2B3C; H01L29/78</i>	
Application number:	JP19930322720 19931221	
Priority number(s):	JP19930322720 19931221; JP19930001072 19930107	

**Abstract of JP 6260638 (A)**

**PURPOSE:** To provide a protective structure high in resistance to external surge input such as static electricity by making a drain composed of a low-concentration diffused layer and a high-concentration diffused layer, wherein part of the former layer has a conductivity type opposite to that of the latter layer. **CONSTITUTION:** An n-type low-concentration diffused area 103 for an offset area is made by implanting ions after formation of a gate electrode 100. A p-type diffused layer 106 is made by implanting ions of boron after formation of a specified pattern with a resist. Then, a sidewall 104 is formed, and a high-concentration diffused layer 102 is formed by implanting phosphorus ions. These 102, 103, 104, and 106 operate as a transistor, and since it is of LDD structure, it becomes a transistor where the deterioration by hot carriers is little.



Data supplied from the **esp@cenet** database — Worldwide

(10) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-260638

(13) 公開日 平成6年(1994)9月16日

(51) Int.Cl.<sup>1</sup>  
H 01 L 29/784

識別記号

序内登録番号

F 1

技術表示箇所

9054-4M  
9054-4MH 01 L 29/78  
301 S

301 K

審査請求 未請求 標記の数 9 O L (全 11 頁)

(21) 出願番号 特願平5-322729

(22) 出願日 平成5年(1993)12月21日

(31) 優先権主張番号 特願平5-1072

(32) 優先日 平5(1993)1月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002389

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 竹中 計廣

長野県舞鶴市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

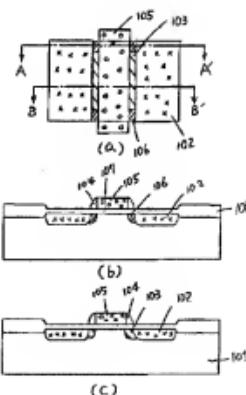
## (54) 【発明の名前】 半導体装置

## (57) 【要約】

【目的】 半導体基板上に形成された、少なくともMOS形トランジスタを含む半導体装置において、外極からの過大な静電気などのサージ入力や製造途中で発生する静電気に対してトランジスタなどを保護するための構造を提供する。

【構成】 ソースドレインを形成する高濃度拡散層と、LDD構造トランジスタのオフセットを構成する低濃度拡散層と反対導電型の低濃度拡散層を接触させるようにトランジスタやダイオードを形成する。

【効果】 高濃度拡散層と低濃度拡散層を接触させることにより、接合耐圧を低下させた素子を半導体装置内に容易に形成できる。また、CMOS構造におけるオフセットを利用することにより、工程の増加がない。



## 【特許請求の範囲】

【請求項1】半導体基板に形成されたMOS形トランジスタの少なくともドレインが、高濃度拡散層と低濃度拡散層からなる半導体基板において、前記低濃度拡散層の一部分が高濃度拡散層と対応導電型であることを特徴とする半導体装置。

【請求項2】半導体基板に第一導電型のMOS形トランジスタと第二導電型のMOS形トランジスタが形成され、少なくとも前記第一導電型MOS形トランジスタの、少なくともドレインが第一導電型高濃度拡散層と第一導電型低濃度拡散層からなる半導体装置において、前記第一導電型低濃度拡散層と同一の低濃度拡散層が、第二導電型MOS形トランジスタのドレイン領域の少なくとも一部分に形成されていることを特徴とする半導体装置。

【請求項3】第一導電型半導体基板に少なくとも第二導電型MOS形トランジスタが形成された半導体装置において、端部の少なくとも一部分がゲート電極で自己整合となるように第二導電型拡散層が形成され、前記第二導電型拡散層に接するように前記第一導電型半導体基板よりも高濃度の第一導電型拡散層が形成されたダイオードを含むことを特徴とする半導体装置。

【請求項4】半導体基板に第一導電型のMOS形トランジスタと第二導電型のMOS形トランジスタが形成され、少なくとも前記第一導電型MOS形トランジスタの、少なくともドレインが第一導電型高濃度拡散層と第一導電型低濃度拡散層からなる半導体装置において、第二導電型MOS形トランジスタが形成された半導体基板に、端部の少なくとも一部分がゲート電極で自己整合となるように第二導電型拡散層が形成され、前記第二導電型拡散層に接するように前記第一導電型低濃度拡散層が形成されたダイオードを含むことを特徴とする半導体装置。

【請求項5】半導体基板に第一導電型のMOS形トランジスタと第二導電型のMOS形トランジスタが形成され、少なくとも前記第一導電型MOS形トランジスタの、少なくともドレインが第一導電型高濃度拡散層と第一導電型低濃度拡散層からなる半導体装置において、第二導電型MOS形トランジスタが形成された半導体基板に第二導電型拡散層が形成され、前記第二導電型拡散層に接するように前記第一導電型低濃度拡散層が形成されたダイオードを含むことを特徴とする半導体装置。

【請求項6】第一導電型半導体基板に少なくとも第二導電型MOS形トランジスタが形成された半導体装置において、端部がゲート電極と素子分離領域で自己整合となるように第二導電型拡散層が形成され、前記第二導電型拡散層に接するように前記第一導電型半導体基板よりも高濃度の第一導電型拡散層が形成されたダイオードを含むことを特徴とする半導体装置。

【請求項7】半導体基板に第一導電型のMOS形トランジ

ジスタと第二導電型のMOS形トランジスタが形成され、少なくとも前記第一導電型MOS形トランジスタの、少なくともドレインが第一導電型高濃度拡散層と第一導電型低濃度拡散層からなる半導体装置において、端部がゲート電極と素子分離領域で自己整合となるように第二導電型拡散層が形成され、前記第二導電型拡散層に接するように前記第一導電型低濃度拡散層が形成されたダイオードを含むことを特徴とする半導体装置。

【請求項8】半導体基板に第一導電型のMOS形トランジスタと第二導電型のMOS形トランジスタが形成され、少なくとも前記第一導電型MOS形トランジスタの、少なくともドレインが第一導電型高濃度拡散層と第一導電型低濃度拡散層からなる半導体装置において、素子分離領域を挟んで前記第一導電型高濃度拡散層と第二導電型低濃度拡散層が前記第二導電型拡散層と接するように形成されたダイオードを含むことを特徴とする半導体装置。

【請求項9】半導体基板に第一導電型のMOS形トランジスタと第二導電型のMOS形トランジスタが形成され、少なくとも前記第一導電型MOS形トランジスタの、少なくともドレインが第一導電型高濃度拡散層と第一導電型低濃度拡散層からなる半導体装置において、前記第一導電型高濃度拡散層と第二導電型低濃度拡散層の端部の少なくとも一部分がゲート電極で自己整合となり、かつ対向するように配置され、かつ前記第一導電型低濃度拡散層が前記第二導電型拡散層と接するように形成されたダイオードを含むことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板に形成された、少なくともMOS形トランジスタを含む半導体装置において、外部からの過大な静電気などのサージ入力や製造途中で発生する静電気に対してトランジスタなどを保護するための構造に関する。

## 【0002】

【従来の技術】従来の静電気などの外部からのサージ入力に対する保護としては、ボンディングパッド部と内部回路との間に、遮蔽抵抗やポリシリコン抵抗などの各種の抵抗や、ダイオード、トランジスタなどを組み合わせて保護回路を構成し保護していた。

## 【0003】

【発明が解決しようとする課題】近年、トランジスタの微細化が高速化、高密度化のために進んでおり、トランジスタの構造としても、ホットキャリア対策としてドレイン拡散層のゲート端に低濃度拡散層領域を設けたLDD構造や、ヒ素とリンの拡散累積の違いを利用して低濃度領域を形成する2重拡散構造が、1 μm前後のチャネル長のトランジスタに積極的に採用されてきている。また、ゲート膜の厚さもトランジスタの微細化に伴

3

い薄くなってきており、例えば $0.5\mu\text{m}$ ルールのトランジスタにおいてはゲート膜厚としては約 $1.0\text{nm}$ のシリコン酸化膜が採用されてきている。このように素子の微細化に伴い、ゲート膜厚の微細化が進んでくると、ゲート膜耐圧としても当然のごとく低下し、 $0.5\mu\text{m}$ ルールに使用される $1.0\text{nm}$ のゲート膜耐圧としては、約 $1.0\text{V}$ となってしまう。

【0004】ICを構成するためには、外部から入ってくる静電気などの過大ゲージ耐圧に対し、内部回路を保護するために十分な保護回路を設けなければならないし、また、ICの製造工程で発生する静電気に対しても保護できる構造とする必要がある。従来の技術の保護回路においては、ダイオードやトランジスタを用いているが、これらの保護回路を構成する素子の耐圧はトランジスタが微細化されてもあまり低下せず、例えば $0.5\mu\text{m}$ ルールトランジスタのドレイン耐圧は約 $1.3\text{V}$ 程度であり、ゲート膜耐圧よりも高くなってしまい、保護回路が動作する以前にゲート膜を永久破壊してしまい保護回路として機能しないという問題があった。

【0005】本発明は上記難題を解決し静電気などの外部サージ入力に対して耐性の高い保護構造を提供する事を目的とする。

【0006】

【課題を解決するための手段】本発明の半導体装置は、保護回路や半導体装置内に形成されるトランジスタやダイオードを高濃度試験層と、高濃度試験層を接するよう形成した高濃度試験層と反対導電型の低濃度試験層とで構成することにより低耐圧素子を半導体装置内に形成したことを特徴とする。また、CMOS構成の半導体装置において、この反対導電型の低濃度試験層をLDD構造のトランジスタの低濃度試験層と同一の試験層を用いることにより、工程の増加がなく低耐圧素子を半導体装置内に形成したことを特徴とする。

【0007】

【実施例】以下、図により本発明を詳説する。

【0008】図1（a）は本発明の半導体装置の第1実施例を示す平面図であり、図1（b）は第1実施例におけるA-A'断面、図1（c）はB-B'断面である。ここではNチャンネルトランジスタの場合につき説明する。101はP型のS1基板であり $1.0\text{nm}$ の基板を用いる。基板表面には表面濃度を約 $1.0\text{E}16\text{cm}^{-3}$ 程度にあげるためにウェルを形成してもよい。107はゲート膜であり、 $1.0\text{nm}$ のS1O2膜を形成する。108は素子分離用の酸化膜であり、約 $5.0\text{nm}$ の酸化膜を従来技術であるLOCOS法などで形成する。ちなみに107と108は同じS1O2膜であるため、端部でつながっている。105はゲート電極であり、ポリS1や、ポリS1とWS1などの高融点金属シリサイドの被覆膜を約 $0.001\text{nm}$ の厚みで形成する。103はオーフセット膜となるN型の低濃度試験層であり、濃度として

は $1.0\text{E}17\text{cm}^{-3}$ から $5.0\text{E}19\text{cm}^{-3}$ 程度になるよう、105のゲート電極形成後、イオン注入によりレジストを $1.0\text{E}13\text{cm}^{-2}$ から $5.0\text{E}14\text{cm}^{-2}$ 程度、打ち込むことにより形成する。このリンのイオン注入の際、レジストで所定のパターンを形成することにより、図1（a）のように所定の部分にN型層を形成する。106が本発明の主旨によるP型の低濃度試験層であり103と同様に、レジストで所定のパターンを形成した後に、ポロンを $5.0\text{E}12\text{cm}^{-2}$ から $5.0\text{E}14\text{cm}^{-2}$ 程度、イオン注入することにより $5.0\text{E}16\text{cm}^{-3}$ から $5.0\text{E}18\text{cm}^{-3}$ 程度の濃度のP型層を形成する。その後、104のサイドウォールをS1O2膜の形成、全面エッチングにより形成し、次に濃度としては $1.0\text{E}20\text{cm}^{-3}$ から $1.0\text{E}21\text{cm}^{-3}$ 程度の高濃度試験層102を $1.0\text{E}15\text{cm}^{-2}$ から $1.0\text{E}16\text{cm}^{-2}$ 程度イオン注入することにより形成する。最後にコンタクト、AL配線を形成することにより（図示せず）本発明の半導体装置を得る。

【0009】図1（c）で示される部分はトランジスタとして動作し、従来のようにLDD構造となっているためホットキャリアによる劣化の少ないトランジスタを実現している。さて、このトランジスタの耐圧を考えてみると、耐圧はP型層106と高濃度N型層102が接触している部分、すなわち図1（b）の部分で決まる。例えば $1.0\text{E}6$ の濃度を $1.0\text{E}18\text{cm}^{-3}$ に設定した場合、トランジスタ耐圧としては約 $7\text{V}$ となり、ゲート膜耐圧 $1.0\text{V}$ よりも十分低くなるため、静電気などが入ってきの場合でもトランジスタは十分に保護される。また、 $1.0\text{E}6$ の試験濃度はイオン注入の打ち込み量により自由にコントロールできるため、耐圧を自由にコントロールでき、素子が微細化されさらにゲート膜が薄くなり、ゲート膜耐圧がさらに低化した場合でも本発明が適用できる。

【0010】図2は本発明を適用した回路例である。203が外部からの接続を行なうボンディングパッドであり、201は負荷としてついているデバイションNチャンネルトランジスタであり、202が本発明を適用した耐圧を低化させたNチャンネルトランジスタである。このようにして使用することにより外部からの静電気に対して内部回路を保護できる。また、本発明のトランジスタを内部回路に使用するトランジスタとして適用することにより、製造工程中に静電気が発生しても素子が保護できるという効果がある。また、ここではNチャンネルトランジスタに適用した場合について説明したが、当然の如くPチャンネルトランジスタに適用してもよい。

【0011】図3は第2実施例を示す図であり、第1実施例をCMOS構造に適用し、さらに工程削減をおこなった例である。図3（a）は第2実施例の平面図であり、図3（b）はC-C'断面、図3（c）はD-D'

所面である。

【0012】301はP型基板であり、304は301のP型基板内に形成したNウェルである。311がNウェル内に形成したPチャンネルトランジスタであり、312はP基板内に形成したNチャンネルトランジスタである。302はゲート膜であり第1実施例と同様、10nmの厚みのSiO<sub>2</sub>である。303は素子分離用の酸化膜であり、305はゲート電極である。306がNチャンネルトランジスタのソース、ドレインになるN型低濃度試験層であり、1E20cm<sup>-3</sup>から1E21cm<sup>-3</sup>程度の濃度に形成する。310はサイドウォールであり、第1実施例と同様に例えば酸化膜で形成する。308はN型低濃度試験層であり、濃度としては1E17cm<sup>-3</sup>から5E19cm<sup>-3</sup>程度になるように形成する。307がPチャンネルトランジスタのソース、ドレインになるP型試験層であり、1E20cm<sup>-3</sup>から1E21cm<sup>-3</sup>程度の濃度に形成する。309はP型低濃度試験層であり、濃度としては1E17cm<sup>-3</sup>から5E19cm<sup>-3</sup>程度になるように形成する。308のN型低濃度試験層はNチャンネルトランジスタにおいてはLD-D構造のオフセットとなるが、同一のN型低濃度試験層がPチャンネルトランジスタのオフセット部分にも形成されており、Pチャンネルトランジスタの耐圧を低下させる。同様に309のP型低濃度試験層はPチャンネルトランジスタにおいてはLD-D構造のオフセットとなり、同一のP型低濃度試験層がNチャンネルトランジスタのオフセット部分にも形成されており、Nチャンネルトランジスタの耐圧を低下させる。308と309の低濃度試験層はレジストで所定のパターンを形成した後、それぞれリントボロンのイオン注入により形成するため、耐圧を低下させるための低濃度試験層の構成はレジストのパターンをかえるだけで形成することができるため、なんら工程の複数がなく形成できる。また図3においてはNチャンネル、PチャンネルとともにLD-D構造をもつトランジスタを示した場合についての例であるが、片チャンネルのみLD-D構造の場合、例えば、NチャンネルLD-D、Pチャンネル單一ドレイン構造の場合にもN型低濃度試験層をPチャンネルトランジスタに形成することによりPチャンネルトランジスタの低耐圧化が可能である。

【0013】図4は本発明の第2実施例を適用した回路図である。401がボンディングパットであり、402が本発明を適用したPチャンネルトランジスタであり、403が本発明を適用したNチャンネルトランジスタである。例えば308と309の濃度をそれぞれ1E18cm<sup>-3</sup>に設定した場合、トランジスタ耐圧としては約7Vとなり、ゲート耐圧10Vよりも十分低くなるため、静電気などが入ってきた場合でもトランジスタは十分に保護される。また、506のP型試験層の濃度を1E18cm<sup>-3</sup>に設定した場合、アース側と電源側の両側に低耐圧素子が形成されるため正負の静電気に対しても有効となる。

る。

【0014】図5は本発明の第3実施例を示す図であり、本発明の主旨をダイオードに適用した例である。図5(a)は平面図であり、図5(b)はE-B断面図である。ここではNPダイオードの場合につき説明する。501はP型の1基板であり100cmの基板を用いる。基板表面には表面濃度を約1E16cm<sup>-3</sup>程度にあげるためにウェルを形成してもよい。507はゲート膜であり、10nmのSiO<sub>2</sub>膜を形成する。502は素子分離用の酸化膜であり、約500nmの酸化膜を従来技術であるLOCOS法などで形成する。ちなみに507と502は同じSiO<sub>2</sub>膜であるため、漏部でつながっている。503はゲート電極であり、ボリSiやボリSiとWS<sub>6</sub>などの高融点金属シリコンの積層膜を約300nmの厚みで形成する。506が本発明の主旨によるP型の試験層であり、ボロンを5E12cm<sup>-2</sup>から5E14cm<sup>-2</sup>程度、イオン注入することにより5E16cm<sup>-3</sup>から5E18cm<sup>-3</sup>程度の濃度のP型層を形成する。その後、504のサイドウォールをSiO<sub>2</sub>膜の形成、全面エッチングにより形成し、次に濃度としては1E20cm<sup>-3</sup>から1E21cm<sup>-3</sup>程度の高濃度試験層505をリンを1E15cm<sup>-2</sup>から1E16cm<sup>-2</sup>程度イオン注入することにより形成する。最後にインクタクト、AL線端を形成することにより(図示せず)本発明の半導体装置を得る。

【0015】さて、このダイオードの耐圧を考えてみると、耐圧はP型層506と高濃度N層505が接触している部分で決まる。例えば506の濃度を1E18cm<sup>-3</sup>に設定した場合、ダイオード耐圧としては約7Vとなり、ゲート耐圧10Vよりも十分低くなるため、静電気などが入ってきた場合でもトランジスタは十分に保護される。また、506のP型試験層の濃度はイオン注入の打ち込み量により自由にコントロールできるため、耐圧値を自由にコントロールでき、素子が微細化されるとゲート膜が薄くなり、ゲート膜耐圧がさらに低化した場合でも本発明が適用できる。

【0016】図6は、ヒ素で構成される高濃度N型試験層と、低濃度P型試験層を接するように設けたダイオードの耐圧と低濃度P型試験層を形成するためのイオン注入打ち込み量との関係図である。図からもわかる通り、イオン注入量を1E13cm<sup>-2</sup>とすることにより、8Vの耐圧をもつダイオードを得ることができる。また、耐圧自身イオン注入量により確実に設定できることがわかる。

【0017】図7は、逆にP型高濃度試験層と低濃度N型試験層を接するように設けた場合の耐圧である。この場合でも、図6と同様に打ち込み量を調整することにより耐圧をコントロールすることができる。

【0018】図8は本発明を適用した回路例である。801、808が外部からの接続を行なうボンディングパ

ドであり、801は出力端子であり、808は入力端子である。802、805が負荷としてついているデバイスレーションドチャネルトランジスタであり、それぞれ803、806とインバータを構成している。804、807が本発明を適用した耐圧を低化させたダイオードである。このようにして使用することにより外部からの静電気に対して内部回路を保護できる。また、ここではNチャネルトランジスタに適用した場合について説明したが、当然の如くPチャネルトランジスタに適用してもよい。

【0019】図9は第4実施例を示す断面図であり、第3実施例をCMOS構造に適用し、さらに工程削減をおこなった例である。

【0020】901はP型基板であり、902は901のP型基板内に形成したNウェルである。903がNウェル内に形成したPチャネルトランジスタであり、904はP基板内に形成したNチャネルトランジスタである。905、906が本発明の主旨により形成したN-PおよびPNダイオードである。908はゲート層であり第1実施例と同様、10nmの厚みのS102である。909は素子分離用の酸化膜であり、907はゲート電極である。910がNチャネルトランジスタのソース、ドレインになるN型低濃度層であり、1E20cm-3から1E21cm-3程度の濃度で形成する。911はサイドウォールであり、第1実施例と同様に例えば酸化膜で形成する。912はN型低濃度酸化層であり、NチャネルトランジスタにおいてはLDD構造のオフセットとなり、濃度としては1E17cm-3から5E19cm-3程度になるように形成する。914がPチャネルトランジスタのソース、ドレインになるP型低濃度層であり、1E20cm-3から1E21cm-3程度の濃度で形成する。913はP型低濃度酸化層であり、Pチャネルトランジスタのオフセットとなり、濃度としては1E17cm-3から5E19cm-3程度になるように形成する。

【0021】905のダイオード部分においては911のサイドウォール下の910のN型酸化層が形成され、サイドウォール下のゲート端まで913のP型低濃度酸化層が形成されている。反対に906のダイオード部分においては911のサイドウォール下で914のP型酸化層が形成され、サイドウォール下のゲート端まで912のN型低濃度酸化層が形成されている。

【0022】905、906のダイオード耐圧について考えてみると910のN型酸化層は913のP型低濃度酸化層と接しているため、ダイオード耐圧が低すぎ、同様に906のダイオード耐圧も低下できる。具体的に耐圧値を考えてみると、913のP型低濃度酸化層と912のN型低濃度酸化層を約1E18cm-3程度の濃度とすることにより耐圧値としては約7V程度となる。

【0023】912と913の低濃度酸化層はレジスト

で所定のパターンを形成した後、それぞれリンとボロンのイオン注入により形成するため、耐圧を低下させるための低濃度酸化層の形成はレジストのパターンをかえるだけでトランジスタのオフセットと同時に形成できることができるため、なんら工程の増加がなく形成できる。また図9においてはNチャネル、PチャネルともLDD構造をもつトランジスタを用いた場合についての例であるが、片チャネルのみLDD構造の場合、例えば、NチャネルLDD、Pチャネル單一ドレイン構造の場合にN型低濃度酸化層をPチャネルトランジスタに形成することによりPチャネルトランジスタの耐圧化が可能である。

【0024】図10は本発明の第4実施例を適用した回路図である。1001、1002がボンディングパットであり、1001は出力端子、1002は入力端子となっている。1003、1005はPチャネルトランジスタであり、それぞれ1004、1006のNチャネルトランジスタと対になりインバータを構成している。1007、1010が本発明を適用したPNダイオードであり、1009、1008が本発明を適用したN-Pダイオードである。例えば912と913の濃度をそれぞれ1E18cm-3に設定した場合、トランジスタ耐圧としては約7Vとなり、ゲート端耐圧10Vよりも十分低くなるため、静電気などが入ってきた場合でもダイオードがブレーキし、トランジスタは十分に保護される。またアース端と電源端の間に低耐圧ダイオードが形成されるが正負の静電気に対しても有効となる。

【0025】第4実施例と同様の発明は別な方法によっても実現できる。低耐圧ダイオードをゲート端を用いて形成する方法は公報特許公報、平1-165562に開示されているが、本発明の第5実施例はゲート端を用いて構成した低耐圧ダイオードをCMOSに適用し、かつ工程増加がなく実現した例である。図11に第5実施例の断面図を示す。1101はP型基板であり、1102は1101のP型基板内に形成したNウェルである。1103がNウェル内に形成したPチャネルトランジスタであり、1104はP基板内に形成したNチャネルトランジスタである。1105、1106が本発明の主旨により形成したN-PおよびPNダイオードである。1108がNチャネルトランジスタのソース、ドレインになるN型低濃度層であり、1E20cm-3から1E21cm-3程度の濃度で形成する。1109はN型低濃度酸化層であり、NチャネルトランジスタにおいてはLDD構造のオフセットとなり、濃度としては1E17cm-3から5E19cm-3程度になるように形成されおり、同時に1106のPNダイオード部分にも1107のP型低濃度層と接觸するように形成されている。1107がPチャネルトランジスタのソース、ドレインになるP型低濃度層であり、1E20cm-3から1E21cm-3程度の濃度で形成する。1110は

P型低濃度散層であり、Pチャンネルトランジスタのオフセットとなり、偏置としては $1.17\text{ cm}^{-3}$ から $5.1\text{ cm}^{-3}$ 程度になるように形成されており、同時に $1.105\text{ N}$ のNPダイオード部にも $1.108\text{ N}$ のN型拡散層と接触するように形成されている。このような構造をとることによれば、低耐圧ダイオードをなんら工芸の構造がなく実現できる。

【0026】第3及び第4実施例を第5実施例と比較すると、第3及び第4実施例においては低濃度試験層の形成がゲート電極により自己整合的に形成することができ、素子密度の向上と耐圧などの特性の安定化が図れるという利点もある。

【0027】本発明の第6実施例は第3実施例を改良し  
さらに低耐圧化を図ったものである。

【0028】説明のためにNPダイオードとして説明する。図12に第6実施例の平面図を示すが、図5の第3実施例においてはゲート電極503は電子分離領域をすべて覆うように形成されており、505のP型低濃度拡散層はダイオードの全周に形成されており、505のN型低濃度層と全周で接続していた。これに対し、図12の第6実施例ではゲート電極1201は電子分離領域1202の一部分が露出するように形成されている。従ってP型低濃度拡散層1203はダイオードの2辺のみに形成されている。1205はN型高濃度拡散層である。電子分離領域とP型低濃度拡散層の交点1204においては、離子分離下に形成されているP型反応防止用ストップとP型低濃度拡散層が交わっているためP型の濃度がさらに高くなり、ダイオードの耐圧がさらによく低下する。例えば、1203のP型低濃度拡散層の濃度として1E18cm-3とし、P型反応防止用ストップを5E17cm-3で形成した場合にはダイオード耐圧は約6.2Vとなり、第3実施例の約7Vよりさらに低耐圧化が実現できた。

【0029】本発明の第7実施例は第6実施例をCMOSに応用した例である。断面構造としては、図9と同様となるが低耐圧ダイオードの平面部分は図12と同様にゲート電極の一部が素子電極が露出するように形成されており、素子分離領域と低濃度拡散層の交点をもっている。また、第4実施例と同様にダイオード部分に形成した低濃度拡散層はLDLDトランジスタのオフセットと共用している。このような構造をとることにより、いつさいの工程割合がなくなく、第4実施例よりもさらに低耐圧の

ダイオードが実現できる。

[0030] 以上のように第2、第4、第7実施例においてはNPダイオードとPNダイオードの2種類のダイオードを構成しているが、NチャンネルがLDD構造でPチャネルが单一ドライン構造のようなCMOS構造において、NチャンネルオフセットとなるN型低濃度試験部をPチャンネルトライアスルのドラインを形成するP型試験部と接続するようにしたPNダイオードのみを形成し、

王金玉王金玉王金玉王金玉

【0031】本発明の第8実施例は第5実施例を電源間に形成するダイオードに形成した例である。図13

(a) は第8実施例の平面図であり、図13 (b) は  $P - F'$  断面図である。ここでは  $P$  基板を用いた例について

説明するが、当然のこととく、N基板を用いてもよい。1301はP型基板であり、例えば $10\Omega\text{ cm}$ の基板を用いる。1302がP基板内に形成したNウェル領域である。

る。Nウェル内には1304のPチャンネルトランジスタが形成され、P基板内にはNチャンネルトランジスタ

(図示せず) が形成されている。Nウェルの周囲には、Nウェルの電位、VDDをとるためのN型拡散層として、1E20 cm<sup>-3</sup>以上のN型高濃度拡散層 1303

が形成されている。通常はNチャンキルトランジスタのソース、ドレインと同一の抵抗層を用いるが、別々に形成してもよい。このN型高濃度抵抗層と対向するよう

成してしまはず。この P 型高濃度試験層と併用する方法は P 基板の電極、VSS をとする P 型試験層として、130 5 の P 型高濃度試験層が、やはり構造としては 1E20 5 ～ 2 倍以上に多くなる程度である。

cm<sup>-3</sup>以上になるよう形成されている。1305のP型拡散層はPチャンネルトランジスタ1304のソース、ドレインとなる1306のP型拡散層と通常は同時

に形成される。1304のPチャンネルトランジスタはLDD構造をしており、1307の低濃度鉄散層が濃度としてはLE1.7cm<sup>-3</sup>から5E1.9cm<sup>-3</sup>程度に

としてはレジスタ出力がレジスタ出力端子になるように、形成されている。この実施例は第5実施例で用いた低耐圧ダイオードをVDDとVSSの電源間に

設けた実施例であり、1308が1307と同一のP型低濃度鉱酸層である。1308は1307と同時に形成するため、新たな工程を追加することなく電源間に低耐

圧ダイオードを形成することができ、電源間に静電気が入ってきた場合においてもこの低耐圧ダイオードを通じて放電をもたらすことができる。内部に形成した上の二つの

て静電気を逃がすことができ、内部に形成したトランジスタが保護され、電源間に形成することにより大面積で静電気耐量の大きい半導体接面を実現できる。

【0032】本発明の第9実施例は第4実施例を電源間に形成するダイオードに形成した例である。図1-4は第9実施例の断面図である。1401のP基板内に140

2のNウェルが形成されており、1402のNウェル内に1403のPチャンネルトランジスタが形成されています。図の右側端子は1402のNウェル端子で、左側端子は1403のPウェル端子です。

る。第8実施例と同じく1404がNウェルの電位をとるためのN型拡散層であり、1405がP基板の電位をとるためのP型拡散層である。電源間ダイオードを低耐

圧化するために第8実施例と同じく、LDL構造をもつPチャンネルトランジスタのP型低濃度拡散層1407と同一の拡散層1406を1404と接触するように形

上記の実験結果より、サイドウォールを設置するよりは成している。この実験例においては、ゲート電極140-8の側縫に設けられたサイドウォール140-9の下に自己蒸着の銀線を走らせる。銀線を蒸着する前に自己蒸着

ことができ難縮化と耐圧の安定化が可能となる。

【0033】第8実施例と第9実施例においては、電源間に形成したダイオードはウェルの周囲すべてに形成されているが、必ずしも周囲すべてに形成する必要はない、ウェル周辺の一部分にのみ形成されてもよく、また、第8実施例と第9実施例においてはN型低濃度拡散層とPチャンネルオフセットに用いるP型低濃度拡散層を接触させるように形成したが、図15のようにP型高濃度拡散層1501とNチャンネルオフセットに用いるN型低濃度拡散層1502を接触させてよい。

【0034】また、第9実施例においては電源間ダイオードを図16(a)のようにゲート電極1603が素子分離領域1602を覆うように形成してもよいし、図16(b)のようにゲート電極1604の一部分を素子分離1602上に形成してもなんら、本発明の主旨を妨げない。

【0035】

【発明の結果】以上、述べてきたように、保護回路や半導体装置内に形成されるトランジスタやダイオード、または電源間に形成されるダイオードを高濃度拡散層と、高濃度拡散層と接触するように形成した高濃度拡散層と反対導電型の低濃度拡散層とで構成することにより低耐圧素子を半導体基盤内に形成したにより、低耐圧素子を半導体装置内形成することができる、静電気などの外因からサージ入力にたいし、保護できる半導体装置が実現できた。また、CMOS構造の半導体装置において、この反対導電型の低濃度拡散層をLDD構造のトランジスタの低濃度拡散層と同一の拡散層を用いることにより、工程の増加なく低耐圧素子を半導体装置内に形成することも可能となった。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す平面図と断面図である。

【図2】本発明の第1実施例を適用した回路図である。

【図3】本発明の第2実施例を示す平面図と断面図である。

【図4】本発明の第2実施例を適用した回路図である。

【図5】本発明の第3実施例を示す平面図と断面図である。

【図6】低濃度P型拡散層の濃度とダイオード耐圧との関係図である。

【図7】低濃度N型拡散層の濃度とダイオード耐圧との関係図である。

【図8】本発明の第3実施例を適用した回路図である。

【図9】本発明の第4実施例を示す断面図である。

【図10】本発明の第4実施例を適用した回路図である。

【図11】本発明の第5実施例を示す断面図である。

【図12】本発明の第6実施例を示す平面図である。

【図13】本発明の第8実施例を示す平面図と断面図である。

【図14】本発明の第9実施例を示す断面図である。

【図15】本発明の第8、9実施例における変形例を示す断面図である。

【図16】本発明の第9実施例における変形例を示す断面図である。

【符号の説明】

101, 301, 501, 901, 1101, 130

1, 1401 P型S1基板

102, 306, 505, 910, 1108, 130

5, 1404 N型高濃度拡散層

103, 308, 912, 1109, 1502 N

型低濃度拡散層

104, 310, 1409 サイドウォール

20 105, 305, 503, 907, 1201, 1408

ゲート電極

106, 309, 506, 913, 1110, 120

3, 1308, 1307, 1407, 1406 P

型低濃度拡散層

107, 302, 507, 908 ゲート構

108, 303, 502, 909 素子分離層

201, 802, 805 負荷トランジスタ

202, 403, 803, 806, 1004, 100

6, 312, 904, 1104 Nチャンネルトラン

ジスター

203, 401, 801, 808, 1001, 1002

ボンディングパッド

304, 902, 1102, 1302, 1402

Nウェル領域

307, 914, 1107, 1306, 1305, 14

05, 1501

P型高濃度拡散層

311, 402, 802, 805, 903, 1003,

1005, 1103, 1304, 1403 Pチャ

ンネルトランジスター

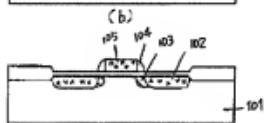
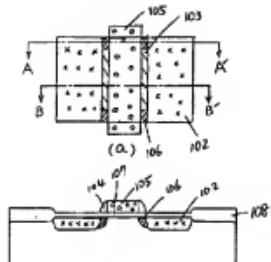
807, 804, 1008, 1009, 905, 110

5 NPNダイオード

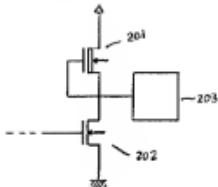
806, 1007, 1010, 1106 PNダイ

オード

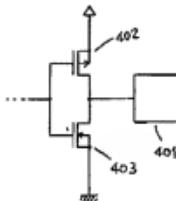
【図1】



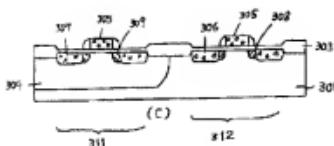
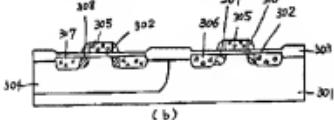
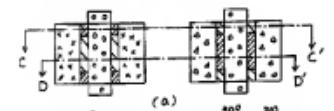
【図2】



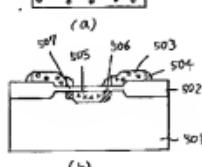
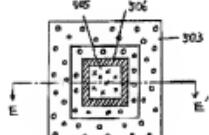
【図4】



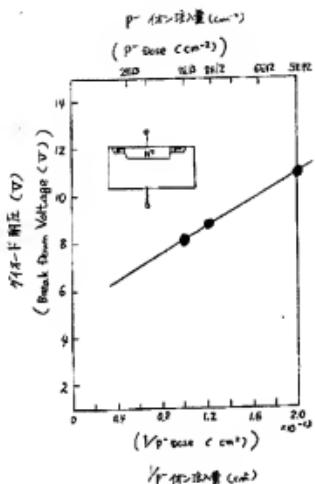
【図3】



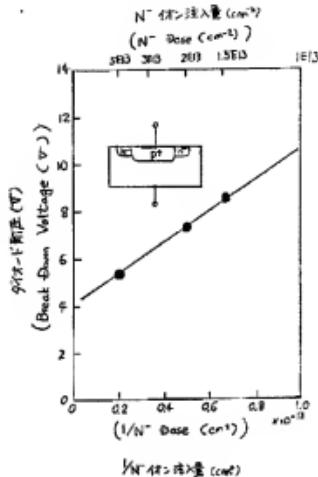
【図5】



[666]



〔圖7〕



〔四八〕

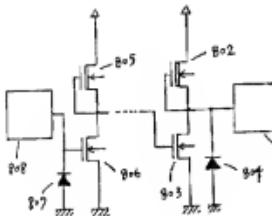
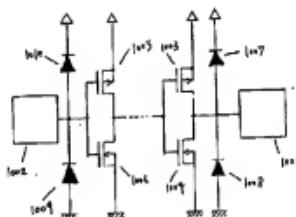
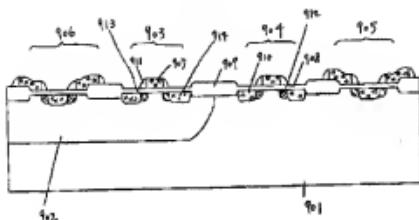


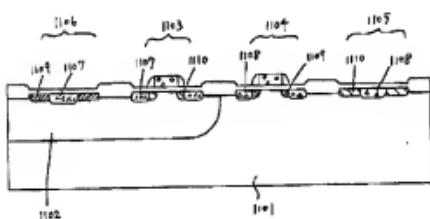
圖 1.91



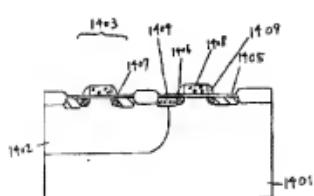
[図9]



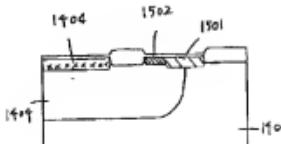
[図11]



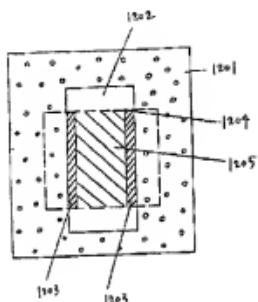
[図14]



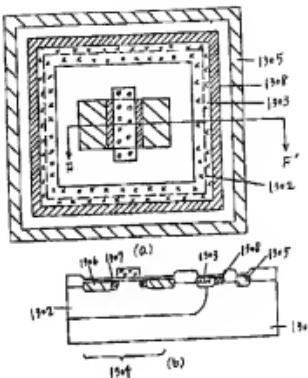
[図16]



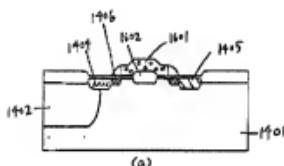
【図12】



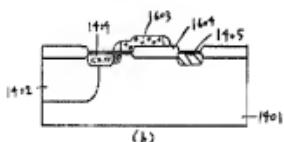
【図13】



【図16】



(a)



(b)